


PRINTED CIRCUIT BOARD

Patent number: JP11354682
Publication date: 1999-12-24
Inventor: KIN SEISHIN
Applicant: ANAM SEMICONDUCTOR INC
Classification:
- **International:** H01L23/12; H01L21/56
- **European:**
Application number: JP19980346145 19981204
Priority number(s):

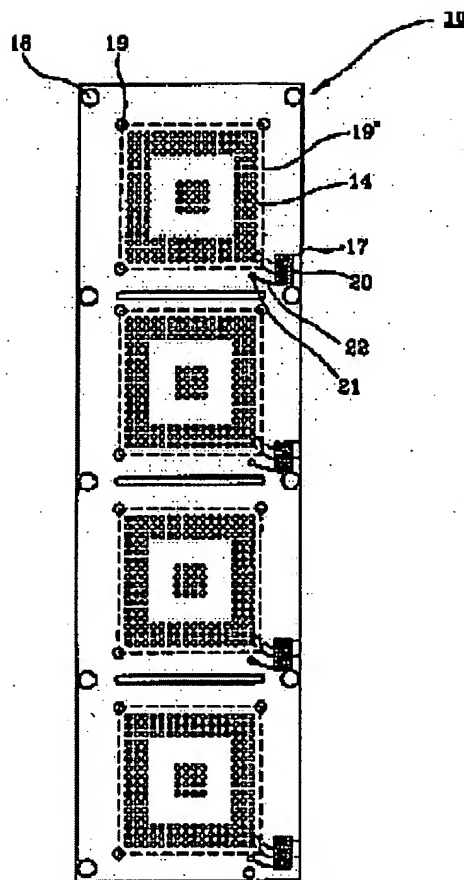
Also published as:

 US6246015 (B1)

Abstract of JP11354682

PROBLEM TO BE SOLVED: To prevent damages to a semiconductor package important structural part, by a method wherein, in a molding process of a ball grid array semiconductor package manufacture, electrostatic charges generated by friction at the time of a fusion molding resin inflow are instantly released into a mold via a ground part.

SOLUTION: A grounding via hole 21 is electrically connected to a plate-like ground part 20 via a grounding trace 22, and also electrically connected to a grounding trace on the upper face of a printed circuit board 10. The plate-like ground part 20 is formed so as to project a little more than a peripheral region so as to come into direct contact with a mold. Furthermore, a mold runner gate 17 formed of a conductive metal such as gold, palladium, etc., at a corner part on one side on an upper face of the printed circuit board 10 is electrically connected to the plate-like ground part 20 formed on a bottom face of the printed circuit board 10. Thus, it is possible to prevent electrostatic charges from accumulating at the time of resin molding and prevent a semiconductor package important structural part from being damaged.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354682

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁴

識別記号

F I

H 0 1 L 23/12
21/56

H 0 1 L 23/12
21/56
23/12

E
T
L

審査請求 有 請求項の数11 O L (全 10 頁)

(21) 出願番号 特願平10-346145

(22) 出願日 平成10年(1998)12月4日

(31) 優先権主張番号 1998/P19304

(32) 優先日 1998年5月27日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1998/P36897

(32) 優先日 1998年9月8日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1998/P36898

(32) 優先日 1998年9月8日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 598162104

亜南半導体株式会社

大韓民国 ソウル市 城東区 聖水洞 2
街 280-8

(72) 発明者 金 性 振

大韓民国 ソウル市 盧原区 下溪 2洞
薔薇アパート 602-1302

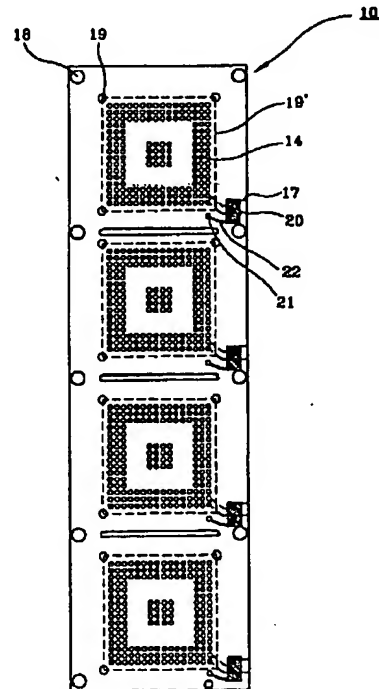
(74) 代理人 弁理士 瀬谷 徹 (外1名)

(54) 【発明の名称】 印刷回路基板

(57) 【要約】

【課題】 半導体パッケージの樹脂モールドイング時、溶融樹脂との摩擦による静電荷の蓄積を防止し、静電荷放電による各部の損傷を防止し得るボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板を提供する。

【解決手段】 樹脂基板と、その上下面に所定の回路パターンをなす導電性トレースと、樹脂基板の上面中央部の半導体搭載部と、樹脂基板の上下面の回路パターンを電気的に連結する多数の導電性ビアホールと、樹脂基板の上面の多数の導電性トレースの半導体チップ搭載部に隣接した端部及び樹脂基板の下面の多数の導電性トレースの各溶剤ボールが融着される部分である溶剤ボールランドを除く上下面の回路パターン上にコーティングされ、多数の導電性トレースの相互間を絶縁及び保護する溶剤マスクと、グラウンド用ビアホール及びグラウンド用トレースと電気的に連結され、モールドイング時にモールドと当接するグラウンド部とから構成する。



【特許請求の範囲】

【請求項1】 樹脂基板と、

前記樹脂基板の上面中央部に形成される半導体チップ搭載部と、

前記樹脂基板の上下面に所定の回路パターンをなし、少なくとも一つのグラウンド用トレースが含まれた多数の導電性トレースと、

前記樹脂基板の上下面の前記回路パターンを電気的に連結する多数の導電性ビアホールと、

前記樹脂基板の上下面の回路パターン上にコーティングされ、前記多数の導電性トレースの相互間を絶縁及び保護するソルダーマスクと、

前記グラウンド用トレースと電気的に連結され、モールドリング時にモールドと当接して静電荷の蓄積を回避するためのグラウンド部とから構成されることを特徴とするボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項2】 前記多数の導電性ビアホールは、少なくとも一つのグラウンド用ビアホールを含み、前記グラウンド用ビアホールが前記グラウンド用トレースと電気的に連結されることを特徴とする請求項1記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項3】 前記回路パターンに隣接した外側に形成される複数のシンギュレーション用ホールを含み、前記グラウンド部が前記複数のシンギュレーション用ホールを連結する四角仮想ラインであるシンギュレーションラインの外側に存在することを特徴とする請求項1記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項4】 前記グラウンド部が前記樹脂基板の半導体チップ搭載部の反対面に位置し、前記ソルダーマスク上に平板状に露出されることを特徴とする請求項3記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項5】 前記グラウンド部が前記樹脂基板の一側面に位置し、ソルダーマスク上に露出されることを特徴とする請求項1記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項6】 前記樹脂基板の上面の一側コーナー部に導電性金属で形成され、グラウンド連結されたモールドランナーゲートを有し、前記グラウンド部が前記モールドランナーゲートにグラウンドビアホール及び／又はグラウンド用トレースにより電気的に連結されることを特徴とする請求項1記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項7】 前記グラウンド部の高さが少なくとも前記ソルダーマスクの高さ以上に露出されることを特徴とする請求項1記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項8】 前記回路パターンに隣接した外側に形成される複数のツーリングホールをさらに含み、上部モールドのツーリングピンの挿支時において、ツーリングピンにグラウンディングできるように、前記グラウンド部が前記複数のツーリングホールの少なくとも一つは前記グラウンド用トレースと電気的に連結されることを特徴とする請求項1記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項9】 前記グラウンド部が前記樹脂基板の半導体チップ搭載部の反対面に位置し、スポット形にソルダーマスク上に露出されることを特徴とする請求項2記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項10】 グラウンド用トレースが“V”字形に分岐され、その分岐部には前記グラウンド用トレースの厚さ及び／又は幅より小さいほかのグラウンド用トレースの一端が接続され、その他端はグラウンド用ビアホールに接続され、前記分岐部の中央にグラウンド部がスポット形にソルダーマスク上に露出されることを特徴とする請求項1記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【請求項11】 前記グラウンド部の表面に導電性金属鍍金層が形成されることを特徴とする請求項1記載のボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体パッケージ用印刷回路基板に関し、より詳しくは半導体パッケージへの樹脂モールドリング時において、静電荷の蓄積を防止することにより、急激な放電による半導体チップ、ボンディングワイヤの損傷を効果的に防止し得るボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板に関するものである。

【0002】

【従来の技術】近年、半導体チップの急速な高集積、小型化及び高性能化の進展につれ、電子機器や家電製品においても小型化及び高性能化が進んでいる。このような趨勢により、半導体パッケージにおいても、高集積、小型化及び高性能化を図りつつ、半導体チップの性能を最大限に引き出すための優れた電気的性能や高い放熱性及び入出力端子数の大容量化が求められている。

【0003】このような求めに応じて、近年においては、ボールグリッドアレイ(BGA: Ball Grid Array)半導体パッケージが注目されている。このようなBGA半導体パッケージは、印刷回路基板を用いることにより電気回路の全長を短縮させ得るだけでなく、パワー又はグラウンドボンディング領域を容易に導入し得るので優れた電気的性能を実現しやすい。また、入出力端子数の設計時においては、QFP(Quad Flat Package)

に比べて、広い間隔で多くの入出力端子数を設けることができることから、パッケージの小型化に適する利点がある。

【0004】図11(a)及び図11(b)は、前述したようなBGA半導体パッケージの製造に用いられる通常の印刷回路基板10'の平面図及び底面図である。同図を参照してその構造を簡単に説明する。印刷回路基板10'は、通常、熱硬化性樹脂基板(図12ないし図14に示す符号11)と、この樹脂基板11上面及び下面に、所定回路パターンをなす多数の導電性トレース12と、樹脂基板11の上面中央部の半導体チップ搭載部16と、樹脂基板11の上下面の多数の導電性トレース12を相互にそれぞれ電気的に連結する多数の導電性ビアホール13と、樹脂基板11の下面の多数の導電性トレース12にそれぞれ形成される多数のソルダーボールランド14と、樹脂基板11の上面一側のコーナー部から半導体チップ搭載部16までの間、熔融モルディングコンパウンドの流入路となる導電性金属薄膜で形成されるモールドランナーゲート17と、多数の導電性トレース12の半導体チップ搭載部16に隣接した端部及びソルダーボールランド14を除く全領域上にコーティングされ、多数の導電性トレース12の相互間を絶縁させるとともに有害な外部環境から保護する非導電性のソルダーマスク15とから構成される。

【0005】ここで、前記印刷回路基板10'のモールドランナーゲート17は、所定のグラウンド用導電性トレース22を経由し、半導体チップ搭載部16の外周縁に形成されたグラウンド用リング25に電気的に連結される。この場合、半導体チップのすべてのグラウンド部は、ワイヤによりグラウンド用リング25に電気的に連結される。このように、モールドランナーゲート17に半導体チップのグラウンド信号を伝達することにより、(電圧降下幅の精密測定による)導電性トレース12と半導体チップのワイヤボンディングの不良の有無を判定し、また、共通のグラウンド領域の形成による回路パターンの最適化確保が可能になる。

【0006】図11(a)及び図11(b)において、未説明符号18は、ストリップ形態の印刷回路基板10'を、装置内で移送あるいは固定するためのツーリングホールであり、同じく符号19は、独立した別々の半導体パッケージにシンギュレーション(singulation)するときの基準点として用いられるシンギュレーション用ホールであり、符号19'はシンギュレーション時の仮想切断線である。

【0007】図13は、一般の印刷回路基板10'におけるビアホール13の隣接構造を示す断面図である。図において、まず、ビスマレイミドトリアジン(Bismaleimide triazine)又はポリイミド(Polyimide)などのような樹脂基板11の上下面に形成された回路パターンをなす導電性トレース12にビアホール13が形成され

る。このビアホール13の内面は導電性金属でコーティングされる。導電性トレース12の上面及びビアホール13の内部は、ソルダーマスク15が積層及び充填される。ここで、ソルダーボールランド14はソルダーマスク15により領域が限定される。ソルダーボールランド14には外部入出力端子としてのソルダーボール80が融着される。図14は、図11(b)のE-E'線に沿った断面図であり、一般の印刷回路基板10'における樹脂基板11、及びその上下面にコーティングされたソルダーマスク15からなるツーリングホール18の内面には、導電性金属による鍍金が施されていないものを示す。

【0008】前述したような一般の印刷回路基板10'を用いる通常のボールグリッドアレイ半導体パッケージ1を図12に示し、その製造方法によりその構造を簡潔に説明する。前述したような構造のストリップ形態の印刷回路基板10'上の各半導体チップ搭載部16に、接着層(図面符号なし)を介して半導体チップ40を接着させる半導体チップの実装段階の後に、ソルダーマスク15がコーティングされていない導電性トレース12の内側端部と半導体チップ40を電気的に連結するワイヤボンディング段階、半導体チップ40及びワイヤ50などを外部環境から保護するための樹脂封止部70を形成するモルディング段階、ソルダーボールランド14上に外部入出力端子としてソルダーボール80を融着させるソルダーボール融着段階、及びストリップ形態の印刷回路基板10'上に形成された多数の半導体パッケージを所定サイズに切断して別々の完成半導体パッケージ1に分離するシンギュレーション段階などを順次行う。これにより図12に示すようなボールグリッドアレイ半導体パッケージ1が形成される。

【0009】前記半導体パッケージ1の各製造段階のうち、モルディング段階は、図15に示すように上下部モールド30a、30b間に半導体チップ40を実装し、ワイヤ50がボンディングされた状態の印刷回路基板10'において、下部モールド30bの上面には印刷回路基板10'を位置させるための凹部31を形成し、上部モールド30aには、樹脂封止部(図12の図面符号70)の形状に対応する形状の凹部31'を形成する。そして、前記上部モールド30aの凹部31'をなす面と印刷回路基板10'の上面は、上下部モールド30a、30bの係合時において、印刷回路基板10'上の半導体チップ40及び導電性ワイヤ50などが位置するキャビティ34が形成される。

【0010】前記キャビティ34の一侧コーナー部には、熔融モルディング樹脂をポート(図示せず)からキャビティ34に注入させるためのランナー32が上部モールド30aに形成される。このランナー32は、印刷回路基板10'のモールドランナーゲート〔図11(a)の符号17参照〕に対応する位置に形成される。

この場合、加圧状態で注入される溶融モールドング樹脂は、ランナー32を通じてキャビティ34内に流入、硬化されて前記樹脂封止部70を形成する。また、上部モールド30aには多数のツーリングピン（図8の符号33参照）が形成される。これは、印刷回路基板10'に形成されたツーリングホール〔図11（a）及び図11（b）の符号18〕に結合されるものであり、これによりモールドング時において印刷回路基板10'を確実に固定し得るようになっている。

【0011】ここで、上部モールド30aと当接する印刷回路基板10'の上面外郭部、及び、下部モールドと当接する印刷回路基板10'の底面は、非伝導性のソルダーマスク15がコーティングされているので、上下部モールド30a、30bとは電氣的にオープンにされている（ソルダーボール80が融着される前の状態で、ソルダーマスク15がコーティングされていない外部露出ソルダーボールランド14はソルダーマスク15の表面内側に位置するので、下部モールド30bとは直接接触しない。これについては図13を参照）。

【0012】モールドング段階において、高温高圧の溶融モールドング樹脂は、上部モールド30aのランナー32と印刷回路基板10'上のモールドランナーゲート17とにより形成される通路に沿ってキャビティ34内に流入し、この際に、溶融モールドング樹脂がキャビティ34内に位置する印刷回路基板10'上の半導体チップ40、及び導電性ワイヤ50などと激しく接触、摩擦される。このような激しい摩擦により、半導体チップ40、導電性ワイヤ50、印刷回路基板10'の表面などには静電気が誘導されて、多量の静電荷が蓄積される現象が常発生する。

【0013】従来のように、半導体チップの駆動電圧が高い場合、あるいは許容駆動電圧の誤差が大きい場合には、前述したような静電荷の蓄積及び急激な放電があっても格別の悪影響を及ぼさない。しかしながら現在のように、半導体チップの駆動電圧がかなり低い、あるいは駆動電圧の許容誤差がかなり小さい場合には、前記のような静電荷の蓄積による急激な放電は直ちに半導体チップの損傷に繋がる。

【0014】すなわち、半導体チップ又は導電性ワイヤなどに蓄積されていた静電荷が、完成された半導体パッケージをモールドから取り出す際、又は他の工程で作業設備と接触した際に、一気に放電されることにより、半導体チップの電極が焼けてしまったり、または半導体チップあるいは回路基板内の微細な回路パターンが焼けてしまう深刻な問題が発生する。このような問題は、半導体チップの高集積、小型化及び高性能化がさらに進展しつつある現在において、早急に解決すべき極めて重要な問題として浮上してきている。

【0015】

【発明が解決しようとする課題】したがって、本発明の

目的は前記従来の問題点を解消するために、半導体パッケージへの樹脂モールドング時において、溶融樹脂との摩擦による静電荷の蓄積を防止することにより、急激な静電荷放電による半導体チップ、ボンディングワイヤ、又は導電性トレースの損傷を効果的に防止し得るボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板を提供することである。本発明の他の目的は、前記のようなボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板を用いることにより、より信頼性あるボールグリッドアレイ半導体パッケージを提供することである。

【0016】

【課題を解決するための手段】前記のような本発明の目的を達成するための本発明によるボールグリッドアレイ半導体パッケージ用の印刷回路基板は、モールドング時において、モールドとの接地のためのグラウンドを有する。また、グラウンド用ビアホール及びグラウンド用トレースと電氣的に連結され、印刷回路基板の底面のシンギュレーションラインの外側に位置し、隣接したソルダーマスクの高さより少なくとも同一高さを有する、露出された平板状グラウンド部を有する。また、グラウンド用ビアホール及びグラウンド用トレースと電氣的に連結され、印刷回路基板の底面のシンギュレーションラインの外側に位置し、隣接したソルダーマスクの高さより少なくとも同一高さを有する、露出されたスポット形グラウンド部を有する。さらに、グラウンド用ビアホール及びグラウンド用トレースと電氣的に連結され、内部が導電性金属でコーティングされたグラウンド用ツーリングホールを有する。

【0017】

【発明の実施の形態】以下、本発明を添付図面を参照して詳細に説明する。図1及び図2は、本発明の好ましい一実施の形態による印刷回路基板10の底面図であり、その上面の構造は前述した図11（a）と実質的に同一であるのでこれを併せて参照する。図2は、上面の一侧コーナー部のモールドング樹脂の流入通路となる部分に導電性金属、好ましくは硬化されたモールドング樹脂とソルダーマスク間の接着強度より相対的に低いモールドング樹脂との接着強度を有する金、パラジウムなどのような金属で薄膜を形成し、モールドング後に前記通路上に残留する硬化樹脂のデゲーティング（degating）を容易にするためのモールドランナーゲート17を形成させた点を除き、図1の構造と本質的に同一であるので便宜上一緒に説明する。

【0018】図1及び図2に示す本発明の好ましい実施の形態によるボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板10は、樹脂基板（図3の図面符号11参照）と、この樹脂基板11の上下面に所定の回路パターンをなす少なくとも一つのグラウンド用トレース22が含まれた多数の導電性トレース12と、

導電性トレース12が存在しない樹脂基板11の上面中央部の半導体チップ搭載部16と、樹脂基板11の上面及び下面の前記回路パターンを電気的に連結する少なくとも一つのグラウンド用ビアホール21を含む多数の導電性ビアホール13と、樹脂基板11の上面の多数の導電性トレース12の半導体搭載部16に隣接した端部及び樹脂基板11の下面の多数の導電性トレース12の各ソルダーボールが融着される部分であるソルダーボールランド14を除く上下面の回路パターン上にコーティングされ、多数の導電性トレース12の相互間を絶縁及び保護するソルダーマスク15と、前記回路パターンに隣接した外側に形成される複数のシンギュレーション用ホール19及び複数のツーリングホール18と、グラウンド用ビアホール21及びグラウンド用トレース22に電気的に連結され、モルディング時にモールドと当接するグラウンド部20とから構成される。

【0019】前記のような本発明によるボールグリッドアレイ半導体パッケージ用静電荷除去型の印刷回路基板10の基本構成は、モルディング時にモールドと当接するグラウンド部20が形成されている点を除き、従来の印刷回路基板の基本構成と本質的に同一であるので、相違部分についてだけ重点を置いて説明し、同一部分に対しては従来技術として図11(a)、図11(b)及び図13を参照する。

【0020】図1に示す本発明の実施の形態においては、グラウンド用ビアホール21はグラウンド用トレース22により平板状グラウンド部20に電気的に連結される。この平板状グラウンド部20は、モルディング時にモールドと直接接触し得るように、周囲領域に比べて少し突出するように形成することが好ましい。また、グラウンド用ビアホール21は、半導体チップ(図示せず)のグラウンドボンダッド(図示せず)とグラウンド用ワイヤ(図示せず)により電気的に連結されている印刷回路基板10の上面のグラウンド用トレース(図1には図示しない)に電気的に連結されている。

【0021】図2に示す本発明の実施の形態においては、印刷回路基板10の上面一側コーナー部に金又はパラジウムのような導電性金属で形成されるモールドランナゲート17と印刷回路基板10の底面に形成される平板状グラウンド部20を電気的に連結している。図2においては、グラウンド用ビアホール21とグラウンド用トレース22を用いているが、前記モールドランナゲート17と平板状グラウンド部20をグラウンド用ビアホール21のみを用いて直接電気的に連結させることもでき、これは本発明において選択的である。このように、グラウンド信号が接続されているモールドランナゲート17[例えば、半導体チップのグラウンドボンダッドとワイヤにより接続されるグラウンド用リング25がグラウンド用トレース22によりモールドランナゲート17に接続される構成(図11(a)参照)]

と、前記平板状グラウンド部20を接続させることにより、従来の通常の印刷回路基板上の設計を大きく変更せず、僅かの変更のみで簡単かつ容易に本発明の印刷回路基板10を実現し得る。

【0022】図1及び図2に示す実施の形態においては、平板状グラウンド部20を、完成された半導体パッケージの分離時の切断ラインであるシンギュレーションライン19'の外側コーナー部に形成することにより、完成された半導体パッケージとしての分離後には、パッケージ内に平板状グラウンド部20が存在しないようにすることが好ましいが、これは制限的なものではなく、モルディング時に平板状グラウンド部20がモールドと直接接触する条件を充足させる限り、必要によってシンギュレーションライン19'の内側の半導体チップ搭載部(図11(a)の図面符号16)の下方に形成することもできる。

【0023】図3は、図1及び図2の印刷回路基板10に形成された平板状グラウンド部20の拡大断面図である。図示のように、モルディング時にモールド(図示せず)と確実に接触するように、隣接した領域上のソルダーマスク15より平板状グラウンド部20を少し突設させることが好ましいものを説明している。しかし、ソルダーマスク15の高さと同一に形成しても、上下部モールドの係合時の押圧力により、平板状グラウンド部20を形成する導電性金属よりは樹脂であるソルダーマスク15の圧縮率が大きいため、モールドとの接触に不都合はない。図3は平板状グラウンド部20がグラウンド用ビアホール21及びグラウンド用トレース22により印刷回路基板10の上面から下面に電気的に連結されるものを示す。

【0024】図4(a)は、半導体パッケージへのモルディング時において、図1及び図2の印刷回路基板10の、上下部モールド30a、30b間の挟支状態を示す断面図である。また、図4(b)は印刷回路基板10の底面に形成されるグラウンド部20と下部モールド30bとの当接状態の一例を示す図4(a)のA部拡大図であり、ボールグリッドアレイ半導体パッケージの製造工程中のモルディング段階で印刷回路基板10を下部モールド30b上の凹部31に位置させることにより簡単にグラウンドできることを示している。

【0025】すなわち、印刷回路基板10の下面の平板状グラウンド部20をソルダーマスク15と少なくとも同一平面上に位置させ、好ましくは突出するように形成することにより、この平板状グラウンド部20が下部モールド30bに確実に接地できる。また、図4(a)及び図4(b)は、グラウンド部20が印刷回路基板10の底面に形成される一例のみを示すが、本発明はこれに限定されるものではなく、必要であれば、印刷回路基板10の側面又は上面の樹脂封止部形成領域の外郭部など任意の適切な箇所に形成することができるのはもちろん

である。前記事項以外の事項は前述した図15の場合と本質的に同じであるので、これに対する説明を参照する。

【0026】図5は本発明の他の実施の形態による印刷回路基板10の底面図であり、図6は図5のB部の拡大図であり、図7は図6のC-C線についての断面図である。図5に示す印刷回路基板10の基本構成は前述した図1及び図2の印刷回路基板10と実質的に同じであるので、同一部分についての敷衍説明は省略し、その相違点について説明する。図5において、符号26で表示した部分は略式で表示したバス（bus）ラインである。この部分は、ストリップ単位の印刷回路基板10に切断される正方形又は長方形の印刷回路原板において、ストリップとストリップ間に位置し、このバスラインを用いて、例えば金などと多様な金属を電解鍍金し得る。この部分は電解鍍金後、ストリップ単位への切断時に除去されるが、図5及び図6では説明の便宜上示したものである。

【0027】すべての導電性トレース12及びグラウンド用トレース22、22a、22bとビアホール14及びグラウンド用ビアホール21は、前記バスライン26に電気的に連結されている。図6のC-C線についての断面図である図7に示すように、本実施の形態においては、グラウンド部20がスポット形に形成され、樹脂基板11の上面に形成されたグラウンド用トレース22b上に金などのような導電性金属が積層されて形成される。このように積層される導電性金属は、ソルダーマスク15の高さと少なくとも同一高さに形成されるが、容易かつ確実なモールドとの接触のためには、前記導電性金属をソルダーマスク15の高さより高く外部に突出させることが好ましい。

【0028】前記金などのような導電性金属でグラウンド用トレース22bの所定箇所に形成されるスポット形グラウンド部20の高さは、容易で確実なモールドとの接触を保障するとともに、上下部モールドの係合時に、印刷回路基板10に無理を与えない範囲であれば、どの寸法であってもかまわない。また、スポット形グラウンド部20は、シンギュレーションライン19'の外側に位置させて、完成された半導体パッケージへのシンギュレーション時に除去されることが好ましい。さらにモールドランナーゲート（図示せず）の下方に位置させることが電気的接続を容易にし、設計変更の必要性が小さいという点で特に好ましいが、必要であれば、シンギュレーションライン19'の内側に形成させ得ることはもちろんである。容易で確実なモールドとの接触により、モールドリング時に、静電荷の蓄積を回避し得る本発明の目的を充足させる限り、すべて本発明の範囲内に含まれる。また、スポット形グラウンド部20の寸法及び形状には格別の制限はなく、本発明において選択的である。

【0029】一方、このようなスポット形グラウンド部

20を容易に形成させ得る印刷回路基板10の構造の一例を図6を参照して説明する。まず、グラウンド用ビアホール21からグラウンド用トレース22、22a、22bが延長されてバスライン26に接続される。具体的には、バスライン26に直接接続されたグラウンド用トレース22bは“V”字形に分岐されており、その分岐部22b'にはグラウンド用トレース22aの一端が接続される。また、他端にはグラウンド用トレース22の一端が接続され、このグラウンド用トレース22の他端はグラウンド用ビアホール21に接続される。図示しなかったが、グラウンド用ビアホール21は、前述したものと同様、印刷回路基板10上面のモールドランナーゲート（図2の図面符号17）に接続できる。従来の場合と同様、前記モールドランナーゲート17は、半導体チップのグラウンドボンダッド（図示せず）とワイヤボンディングされたグラウンドリング（図11（b）の図面符号25）に電気的に接続されている。

【0030】グラウンド用トレース22、22a、22bには、通常の導電性トレース12がなす回路パターンの場合と同様、ソルダーマスク15でコーティングされているが、スポット形グラウンド部20を形成させようとする部分、つまり、幅広のグラウンド用トレース22bが合致する分岐部22b'の略中央には、ソルダーマスク15がコーティングされていない開放領域として形成される。一方、2本に分岐された“V”字形のグラウンド用トレース22bの各線は、バスライン26より厚さ及び／又は幅が小さく、前記分岐点22b'に一端が連結されるグラウンド用トレース22aはグラウンド用トレース22bより厚さ及び／又は幅が小さく形成され、これにより、鍍金時に、グラウンド用トレース22aに過電流が流れ、よってスポット形グラウンド部20には、ソルダーマスク15の高さより厚い鍍金層が、一回だけの通常の鍍金手順により容易に形成できる。したがって、モールドリング時に、高温高压の熔融モールドリング樹脂の流入により発生する静電荷は、発生すると即時に前記グラウンド部20を経てモールド中に伝達、除去できる。

【0031】以上説明したような本発明の好ましい実施の形態においては、グラウンド部20が平板状及びスポット形に形成される場合のみを示したが、本発明はこれに限定されず、その形状は必要に応じた任意の形状としてもよく、その位置、面積及び高さも、モールドとのグラウンドを確実にする範囲であれば適切な任意値を選択してよく、これも本発明の技術範囲に含まれる。図8は半導体パッケージ用印刷回路基板10をモールドリングするための上部モールド30aの一例を示す斜視図で、理解の容易のために、図4（a）を併せて参照する。

【0032】図8に示す上部モールドは、樹脂封止部で封止される半導体チップなどが受容される凹部31が形成される。この凹部31の側面部分は、熔融樹脂

の注入通路であるランナー32により外部に連通され、このランナー32は溶融樹脂が貯蔵されているポート（図示せず）に連通される。上部モールド30aには、印刷回路基板のツーリングホール（図9の図面符号18）に挿支されるツーリングピン33が形成されているので、図9に示すような本発明の実施の形態に採用しているように、ツーリングホール18の内面をグラウンド部として使用する場合、グラウンドのために用いることができる。

【0033】図8に説明した事項に関し、図9は、本発明の好ましい他の実施の形態による印刷回路基板10の底面図であり、図10は図9のD-D線についての断面図である。前述したように、ツーリングホール18の一侧コーナ部の内面を導電性金属で鍍金してグラウンド部20として使用している。図9に示す本発明の実施の形態による印刷回路基板10の基本構成は、前述した本発明の他の実施の形態の場合と実質的に同一であるので、同一構成部に対する説明は省略し、相違部分についてだけ説明する。図9において、グラウンド用ビアホール21の位置、接続状態などは前述したものと同一であり、グラウンド用トレース22の一端は前記グラウンド用ビアホール21に接続され、他端はグラウンド部20としての一侧コーナ部のツーリングホール18に接続される。

【0034】図10に示すように、グラウンド部20として選択されたツーリングホール18の内面には、上部モールド30aのツーリングピン33の挿支時に通電されるように、所定厚さの銅鍍金薄膜23が形成される。この銅鍍金薄膜23は、初めに無電解鍍金させた後、電解鍍金させることが鍍金の容易性の面で好ましく、これは通常のビアホールの形成方法と同じであることから、これに対するそれ以上の説明は省略する。形成される前記銅鍍金薄膜23の厚さは、上部モールド30aのツーリングピン33がグラウンド部20として選択されたツーリングホール18に容易に挿支されるように、あまり厚くしないことが好ましいが、その厚さが薄すぎる場合には、前記ツーリングピン33との通電状態が不良になる虞を考慮してその厚さが決定される。銅鍍金薄膜23は銅だけ限定されず、金、銀、 solder など導電性の良好な金属であればいずれを使用してもよい。

【0035】一方、前記グラウンド用ビアホール20は、モールドランナーゲートに接続できる点、及び solder マスク15の形成領域など、前述した事項以外の諸般の事項は、前述したものと実質的に同一であるので、これに対する各部の説明を参照する。

【0036】

【発明の効果】以上説明したように、本発明による印刷回路基板を使用してボールグリッドアレイ半導体パッケージを製造する場合、特にモールドリング過程において、高温高压の溶融モールドリング樹脂を流入させる際

の摩擦により発生する静電荷を、グラウンド部を経てモールド中に即時に放出させることができるので、静電荷の蓄積による急激な静電荷放電による半導体パッケージの重要構成部、例えば半導体チップ、ボンディングワイヤ、導電性トレースなどが損傷するのを効果的に防止することができ、よって半導体パッケージの信頼性を高めることができる。

【図面の簡単な説明】

【図1】本発明の好ましい実施の形態による印刷回路基板の底面図である。

【図2】本発明の好ましい実施の形態による印刷回路基板の底面図である。

【図3】図1及び図2の印刷回路基板に形成されたグラウンド部の拡大断面図である。

【図4】（a）は、モールドリング時において、図1及び図2の印刷回路基板の上下部モールド間の挟支状態を示す断面図であり、（b）は、グラウンド部とモールドとの当接状態を示す図4（a）のA部の拡大図である。

【図5】本発明の好ましい他の実施の形態による印刷回路基板の底面図である。

【図6】図5のB部拡大図である。

【図7】図6のC-C線についての断面図である。

【図8】半導体パッケージ用印刷回路基板のモールドリング用上部モールドの一例を示す斜視図である。

【図9】本発明の好ましいさらに他の実施の形態による印刷回路基板の底面図である。

【図10】図9のD-D線についての断面図である。

【図11】（a）は、従来の印刷回路基板の平面図、（b）は、同底面図である。

【図12】従来の印刷回路基板が適用されたボールグリッドアレイ半導体パッケージの断面図である。

【図13】図12のビアホールの断面図である。

【図14】図11（b）のE-E線についての断面図である。

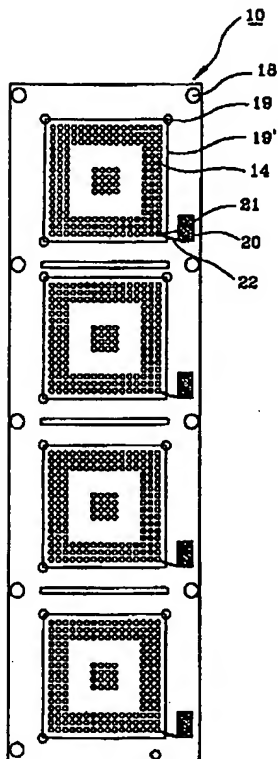
【図15】半導体パッケージへのモールドリング時において、従来の印刷回路基板の上下部モールドとの接触状態を示す断面図である。

【符号の説明】

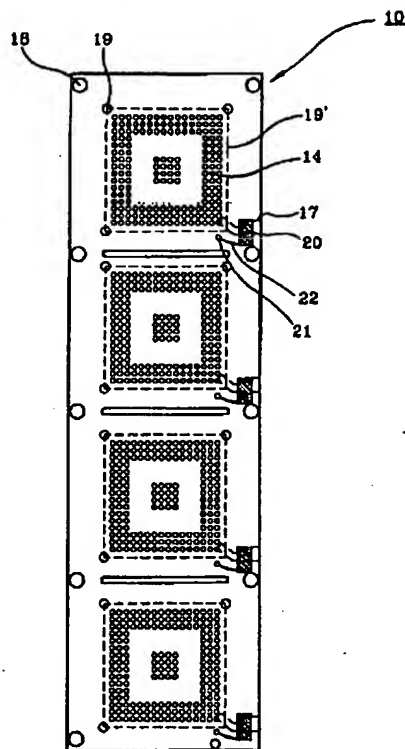
- 10 印刷回路基板
- 11 樹脂基板
- 12 導電性トレース
- 13 導電性ビアホール
- 14 solder ボールランド
- 15 solder マスク
- 16 半導体チップ搭載部
- 17 モールドランナーゲート
- 18 ツーリングホール
- 19 シングレーションホール
- 19' シングレーション仮想ライン
- 20 グラウンド部

- | | | | |
|------------|-------------|----|----------|
| 21 | グラウンド用ビアホール | 33 | ツールリングビン |
| 22、22a、22b | グラウンド用トレース | 34 | キャビティ |
| 25 | グラウンド用リング | 40 | 半導体チップ |
| 26 | バスライン | 50 | 導電性ワイヤ |
| 30a | 上部モールド | 60 | 接着層 |
| 30b | 下部モールド | 70 | 樹脂封止部 |
| 31、31' | 凹部 | 80 | 溶剤ボール |
| 32 | ランナー | | |

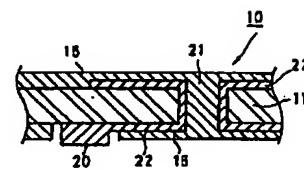
【図1】



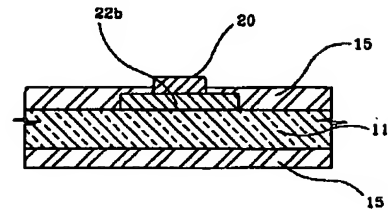
【図2】



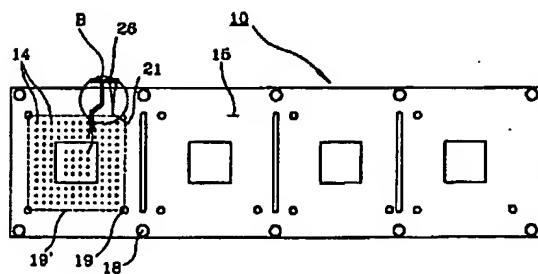
【図3】



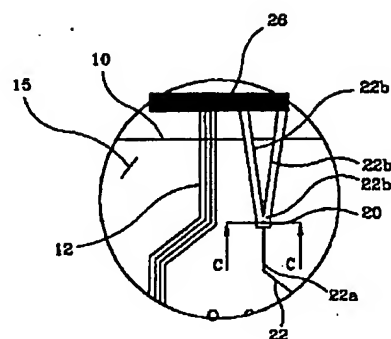
【図7】



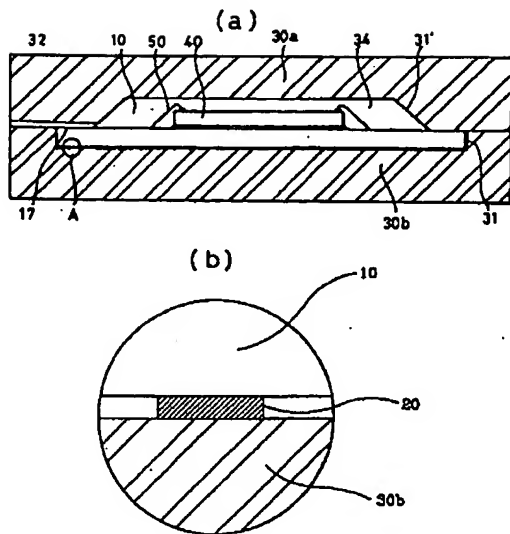
【図5】



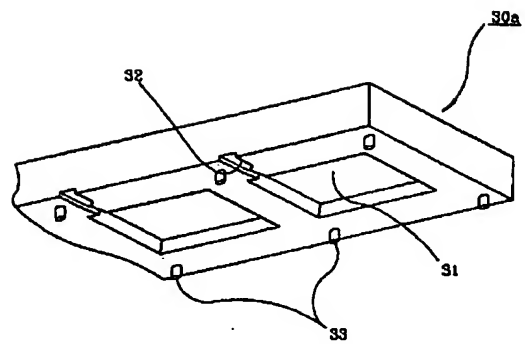
【図6】



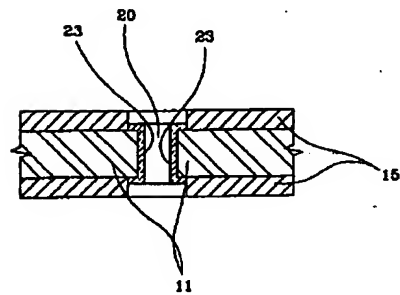
【図4】



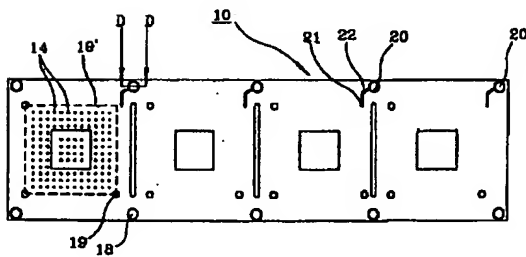
【図8】



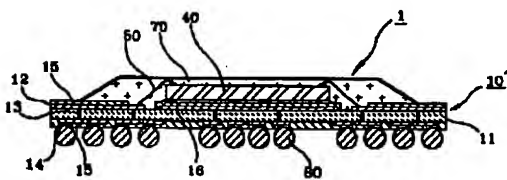
【図10】



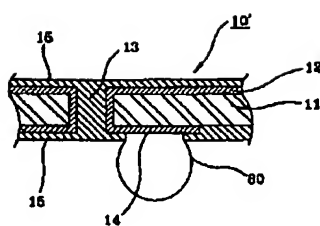
【図11】



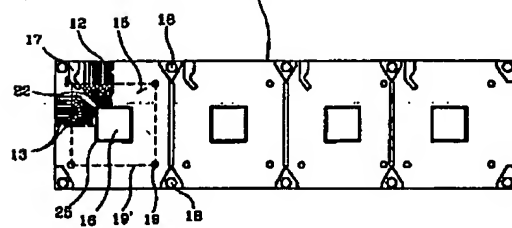
【図12】



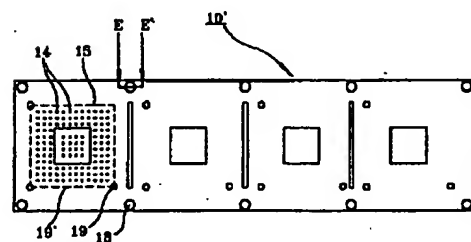
【図13】



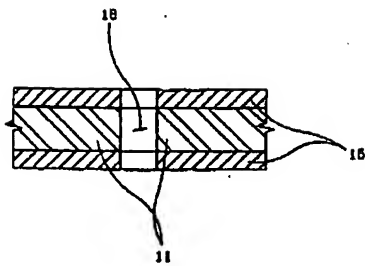
(a)



(b)



【図14】



【図15】

